

4/5/1 (Item 1 from file: 351)
DIALOG(R)File 351:Derwent WPI
(c) 2003 Thomson Derwent. All rts. reserv.

012728956 **Image available**
WPI Acc No: 1999-535069/ 199945
XRPX Acc No: N99-397774

Protective circuit of liquid crystal display device - has dummy terminal
for static absorption, connected to input terminal via resistor

Patent Assignee: SANYO ELECTRIC CO LTD (SAOL)
Number of Countries: 001 Number of Patents: 001
Patent Family:

Patent No	Kind	Date	Applicat No	Kind	Date	Week
JP 11233777	A	19990827	JP 9828711	A	19980210	199945 B

Priority Applications (No Type Date): JP 9828711 A 19980210

Patent Details:

Patent No	Kind	Lan Pg	Main IPC	Filing Notes
JP 11233777	A	9	H01L-029/786	

Abstract (Basic): JP 11233777 A

NOVELTY - Several input terminals (70) of semiconductor circuit are arranged on a substrate (10). A dummy terminal (72) for static absorption, is connected to the input terminal via a resistor (90).

USE - In liquid crystal display device.

ADVANTAGE - The semiconductor device electrostatic destruction is prevented by connecting dummy terminal through resistor. DESCRIPTION OF DRAWING(S) - The figure shows the circuit diagram of the protective circuit of LCD device. (70) Input terminals; (72) Dummy terminal; (90) Resistor.

Dwg.1/10

Title Terms: PROTECT; CIRCUIT; LIQUID; CRYSTAL; DISPLAY; DEVICE; DUMMY;

TERMINAL; STATIC; ABSORB; CONNECT; INPUT; TERMINAL; RESISTOR

Derwent Class: P81; U14

International Patent Class (Main): H01L-029/786

International Patent Class (Additional): G02F-001/136

File Segment: EPI; EngPI

4/5/2 (Item 1 from file: 347)
DIALOG(R)File 347:JAPIO
(c) 2003 JPO & JAPIO. All rts. reserv.

06292185 **Image available**
SEMICONDUCTOR DEVICE AND DISPLAY DEVICE

PUB. NO.: 11-233777 A]
PUBLISHED: August 27, 1999 (19990827)
INVENTOR(s): HIRAI KYOKO
JINNO MASASHI
APPLICANT(s): SANYO ELECTRIC CO LTD
APPL. NO.: 10-028711 [JP 9828711]
FILED: February 10, 1998 (19980210)
INTL CLASS: H01L-029/786; G02F-001/136

ABSTRACT

PROBLEM TO BE SOLVED: To prevent electrostatic breakdown in a driver integral type LCD (liquid crystal display unit).

SOLUTION: A dummy terminal 72 formed in an end portion on which input terminals 70 are arranged is connected with the adjacent input terminal 70 via a resistance part 90. Large static electricity generated on the dummy terminal 72 is attenuated by the resistance part 90 and absorbed and eliminated by a protective circuit 80 via the input terminal 70. When

larger static electricity is generated, the resistance part 90 is disconnected, so that electrostatic breakdown of the protective circuit 80 and further a TFT (thin film transistor) element in an LCD which is to be caused by static electricity is prevented.

COPYRIGHT: (C)1999, JPO

(11)特許出願公開番号

(43)公開日 平成11年(1999)8月27日

審査請求 未請求 請求項の数11 O.L (全 9 頁)

The circuit diagram shows a two-stage CMOS differential amplifier. The first stage consists of a PMOS network (75) connected to \$V_{DD}\$ and an NMOS network (80) connected to ground (\$V_{SS}\$). The PMOS network includes two parallel branches, each containing a PMOS transistor (83) in series with another PMOS transistor (84). The NMOS network also has two parallel branches, each containing an NMOS transistor. The output of the first stage is taken from the nodes between the PMOS and NMOS transistors in each branch. This output is fed into a second stage, which is a differential pair of NMOS transistors (70 and 72) with a resistor (90) connected between their gates. The gates of both NMOS transistors are biased at a common-mode voltage \$x\$. The sources of both NMOS transistors are connected to ground (\$V_{SS}\$).

【特許請求の範囲】

【請求項1】 基板上に所定の回路を構成する多数の半導体素子と、前記回路の入力端子が配列形成された半導体装置において、前記入力端子の配列に近接し、抵抗部を介して静電気吸収線に接続されたダミー端子が設けられていることを特徴とする半導体装置。

【請求項2】 前記ダミー端子は、接続部を介して近接する前記入力端子に接続されていることを特徴とする請求項1記載の半導体装置。

【請求項3】 前記抵抗部は、抵抗値の異なる複数の抵抗部からなり、前記ダミー端子に近い方の抵抗部が、前記ダミー端子から遠い方の抵抗部よりも抵抗値が低いことを特徴とする請求項1記載の半導体装置。

【請求項4】 前記抵抗部は、静電気により断線することを特徴とする請求項1から請求項3記載の半導体装置。

【請求項5】 基板上に形成された表示電極群と、これら表示電極に表示信号電圧を供給するための薄膜トランジスタ群と、これら薄膜トランジスタ群へ供給すべく外部で作成された信号電圧が入力される入力端子群と、を有する表示装置において、前記入力端子群に近接し、抵抗部を介して静電気吸収線に接続されたダミー端子が設けられていることを特徴とする表示装置。

【請求項6】 前記ダミー端子は、抵抗部を介して近接する前記入力端子に接続されていることを特徴とする請求項5記載の表示装置。

【請求項7】 前記抵抗部は、単数または複数の細線により形成されていることを特徴とする請求項5または請求項6のいずれかに記載の表示装置。

【請求項8】 前記抵抗部は、前記薄膜トランジスタと同じ半導体層により形成されていることを特徴とする請求項5から請求項7のいずれかに記載の表示装置。

【請求項9】 前記抵抗部は、抵抗値の異なる複数の抵抗部からなり、前記ダミー端子に近い方の抵抗部が、前記ダミー端子から遠い方の抵抗部よりも抵抗値が低いことを特徴とする請求項5から請求項8のいずれかに記載の表示装置。

【請求項10】 前記抵抗部は、静電気により断線することを特徴とする請求項5から請求項9のいずれかに記載の表示装置。

【請求項11】 前記抵抗部は、前記薄膜トランジスタ群及び配線交差部と前記ダミー端子との間に配置されていることを特徴とする請求項5から請求項10のいずれかに記載の表示装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、半導体装置あるいは液晶表示装置(LCD: liquid crystal display)に

おいて、製造段階あるいは完成後の静電気による不良を防いだ装置に関する。

【0002】

【従来の技術】メモリー、ロジック、マイクロコンピュータ、LCD等の半導体装置は、微細加工技術の進展に伴い、小型化、大容量化が実現されている。中でも、LCDでは、絶縁基板上に形成される薄膜トランジスタ(TFT: thin film transistor)の半導体層として、それまで多用されてきた非晶質シリコン(a-Si)に代わって、多結晶シリコン(p-Si)を用いることにより、表示画素部とともに、これを駆動するための周辺ドライバーを同一基板上に形成したドライバー内蔵型が開発、量産されるに至っている。

【0003】図8は、ドライバー内蔵型LCDの全体平面図である。TFT基板(1)側には、中央部に、表示画素部(3)、その周辺にゲートドライバー(4)、ドレインドライバー(5)及びブリチャージドライバー(6)が形成されている。表示画素部(3)には、左右に延びたゲートライン(101)と上下に延びたドレインライン(102)が交差配置され、その交差部にはTFT等からなるスイッチ素子(103)が形成され、液晶駆動用の表示電極(104)がこれに接続されている。ゲートドライバー(4)は、主にシフトレジスタからなり、ゲートライン(101)へ走査信号電圧を供給する。ドレインドライバー(5)は、主にシフトレジスタとサンプリングスイッチからなる。ブリチャージドライバー(6)は、必要により設けられ、主にシフトレジスタとサンプリングスイッチからなる。ブリチャージドライバー(6)は、各走査期間において、ドレインドライバー(5)よりも早くスタートされ、前の走査期間において各ドレインライン(102)に残った電圧を消去する。

【0004】液晶を間に挟んでTFT基板(1)に対向して配置される対向基板(2)側には、液晶駆動用の共通電極(110)が表示画素部(3)の全域に対応して形成されている。これら表示電極(104)と共通電極(110)は液晶を誘電層としたコンデンサを構成し、表示電極(104)毎に供給された画素信号電圧により液晶を駆動し、透過率を制御することで表示が行われる。

【0005】TFT基板(1)の端部には、ゲートドライバー(4)、ドレインドライバー(5)及びブリチャージドライバー(6)を制御するための各種制御信号が供給される入力端子(70)が配列形成されている。これら入力端子(70)の配列に連続して、電源端子(71)、更には、ダミー端子(72)が形成されている。これら端子群(70, 71)には、制御回路を搭載したフレキシブルプリント基板(FPC)が接着され、電気的に接続される。ダミー端子(72)は、端子群の両端に設けられ、表示画素部(3)やドライバー部(4、

5、6)に直接に接続されることはなく、FPCのはがれ対策として設けられている。即ち、FPCに生じる応力のために、両端の端子とFPCとの接着性が低下しやすく、接続不良を招く恐れがあるが、ダミー端子(72)を両端に設けることにより、たとえ、ダミー端子(72)が接続不良となっても、それよりも内側にある入力端子(70)は、良好な接続が保たれる。また、入力端子(70)及びダミー端子(72)には、静電気を吸収して、内部の素子を守るための保護回路(80)が設けられ、引き回し配線(75)により接続されている。

【0006】表示画素部(3)におけるスイッチ素子(103)や、ゲートドライバー(4)、ドレインドライバー(5)及びプリチャージドライバー(6)を構成するCMOSは、ほぼ同じ構造のp-SiTFTにより形成されている。TFT基板(1)の要部断面構造を図9に示す。左がスイッチ素子(103)部、右が入力端子(70)部、中央が入力端子(70)の引き回し配線(75)部である。(10)はガラス等の絶縁基板、(11)及び(21)と(31)は、各々Cr等の第1の導電層からなるゲート電極及び台座膜、(12)はゲート絶縁膜、(13)はp-Si膜、(14)は注入ストッパー、(15)は層間絶縁膜、(16)、(17)、(26)及び(36)は、各々Al等の第2の導電層からなるソース電極、ドレイン電極、引き回し線及び入力端、(18)は平坦化絶縁膜、(19)及び(39)は、ITO(indium tin oxide)の透明導電層からなる表示電極及び入力端コンタクト膜である。p-Si(13)は、ゲート電極(11)に対向する領域が真性層であるチャンネル領域(CH)とされ、その両側が、N型またはP型に高濃度にドーピングされたソース領域(S)及びドレイン領域(D)とされ、各々、層間絶縁膜(15)に開口されたコンタクトホールを介してソース電極(16)及びドレイン電極(17)に接続されている。N型では、ソース及びドレイン領域(S、D)とチャンネル領域(CH)の間に低濃度にドーピングされたLDD領域(LD)を設けることが好ましい。また、チャンネル領域(CH)を反対の導電型にチャンネルドープすることも可能である。なお、ドライバー部(4、5、6)におけるTFTには、表示電極(19)は接続されない。また、Crよりなる台座膜(21、31)は、各々、Alからなる引き回し線(26)及び入力端(36)と、ガラスからなる基板(10)との接着性を高めるために設けられている。更に、入力端コンタクト膜(39)は、Alからなる入力端(36)と、FPCの接着材として用いられる異方性導電樹脂との接着性を高めている。

【0007】図10は入力端部付近の等価回路図である。引き回し配線(75)にドレインとゲートを接続し、高電源線(81)にソースを接続するN型の第1の

トランジスタ(83)、及び、引き回し配線(75)にドレインを接続し、低電源線(82)にソースとゲートを接続するN型の第2のトランジスタ(84)からなる。これらトランジスタ(83、84)は、図9に示すTFTと同じ構造で、各引き回し配線(75)を介して入力端子(70)及びダミー端子(72)に接続されている。この構成で、端子(70、72)に正の静電気が入った場合、第1のトランジスタ(83)がオンして高電源線(81)に吸収され、負の静電気が入った場合、第2のトランジスタ(84)がオンして低電源線(82)に吸収される。従って、引き回し配線(75)は、常に、低電源電圧VDDと高電源電圧VSSとの間の範囲内の電圧とされ、内部の表示画素部(3)やドライバー部(4、5、6)を構成するTFT素子が静電破壊から守られる。

【0008】

【発明が解決しようとする課題】保護回路(80)の第1及び第2のトランジスタ(83、84)は、十分に耐性の高い設計となっているが、これを越える大きな静電気がダミー端子(72)に入った場合、第1のトランジスタ(83)や第2のトランジスタ(84)を破壊してしまう。これら第1及び第2のトランジスタ(83、84)が絶縁破壊されて導通すると(z)、電源線(81、82)の電源電圧の変動を招く。電源線(81、82)は、ドライバー部(4、5、6)に共通となっているので、電源電圧の変動は、表示に悪影響を及ぼす。更に、大きな静電気が生じると、内部の表示画素部(3)やドライバー部(4、5、6)を構成するTFT素子が静電破壊される。

【0009】絶縁基板が大型化されると、静電気が発生しやすくなり、また、微細化が進み、高精細化がなされ、駆動電圧が低減されたり、TFT素子の数が増大すると、静電破壊の問題が顕著になってくる。特に、ドライバー内蔵型LCDにおいて、TFT素子が一つでも不良となると、装置全体が不良となる。更に、このような静電気の問題は、LCDのみならず、メモリー、ロジック、マイクロコンピュータにおいて、高精細化、大容量化が実現されると、相対的に影響が大きくなり、静電気対策は、これらの半導体装置においても、重要な課題となっている。

【0010】

【課題を解決するための手段】本発明はこの課題を解決するために成され、基板上に所定の回路を構成する多数の半導体素子と、前記回路の入力端子が配列形成された半導体装置において、前記入力端子の配列に近接し、抵抗部を介して静電気吸収線に接続されたダミー端子が設けられている構成である。

【0011】これにより、静電気吸収線の容量を越える大きな静電気が生じても、抵抗部で静電気が減衰されるので、静電破壊が防がれる。特に、前記抵抗部は、静電

気により断線する構成である。これにより、更に大きな静電気が生じて、断線部分により、静電破壊が防がれる。

【0012】また、基板上に形成された、光調部材を調する表示電極群と、これら表示電極に表示信号電圧を供給するための薄膜トランジスタ群と、これら薄膜トランジスタ群へ供給すべく外部で作成された信号電圧が入力される入力端子群と、を有する表示装置において、前記入力端子群に近接し、抵抗部を介して静電気吸収線に接続されたダミー端子が設けられた構成である。

【0013】これにより、静電気吸収線の容量を越える大きな静電気が生じて、抵抗部で静電気が減衰されるので静電破壊が防がれる。特に、前記抵抗部は、静電気により断線する構成である。これにより、静電気吸収線の容量を越える大きな静電気が生じて、断線部分により、静電気が内部に入ることが防がれるので、静電破壊が防がれる。

【0014】特に、前記抵抗部は、抵抗値の異なる複数の抵抗部からなり、前記ダミー端子に近い方の抵抗部が、前記ダミー端子から遠い方の抵抗部よりも抵抗値が低い構成である。これにより、ダミー端子に近い方の抵抗部が先に断線するので、ダミー端子が浮遊状態となったときに帯電量が小さくなり、ダミー端子からの放電により静電破壊が生じることが防がれる。

【0015】

【発明の実施の形態】図1に、本発明の第1の実施の形態にかかるLCDの入力端部の等価回路を示す。入力端子(70)の配列に連続してダミー端子(72)が形成され、各々の入力端子(70)の引き回し配線(75)には、高電源線(81)にソースを接続したN型の第1のトランジスタ(83)のゲートとドレインが接続されるとともに、低電源線(82)にゲートとソースを接続したN型の第2のトランジスタ(84)のドレインが接続されて保護回路(80)が構成されている。そして、ダミー端子(72)は、保護回路(80)には接続されず、抵抗部(90)を介して隣接する入力端(70)に接続されている。この構成で、ダミー端子(72)に生じた大きな静電気は、まず、抵抗部(90)にて放熱されて減衰され、隣接する入力端子(70)及び引き回し配線(75)を介して、保護回路(80)にて吸収消去される。このため、保護回路(80)の耐性を越える大きな静電気が生じて、これが直接に保護回路(80)に入ることが防がれる。更に、大きな静電気が生じた時は、抵抗部(90)が断線することにより、内部に静電気が入らないようにされる。従って、保護回路(80)が破壊され、更に、内部の表示画素部(3)やドライバ部(4, 5, 6)の動作に悪影響を及ぼすことが防がれる。なお、保護回路(80)のトランジスタとしてはN型とP型のトランジスタを用いることもできる。この場合は、配線接続が多少異なるが、ここで説明した

作用効果は全く同じである。

【0016】図2は、入力端子(70)、ダミー端子(72)及び抵抗部(90)の構造図である。図2(a)は平面図、図2(b)はそのA-A線に沿った断面図で、左側が入力端子(70)、右側がダミー端子(72)、中央が抵抗部(90)である。基板(10)上に、第1の導電層であるCrからなる台座膜(31)及びこれと一体で抵抗部(90)となる抵抗線(41)が形成されている。各々の台座膜(31)の上には、第2の導電層であるAl等からなる入力端(36)が形成されている。入力端子(70)側の入力端(36)は、引き回し線(26)と一体となっている。これら入力端(36)の上には、ITO等の透明導電層からなる入力端コンタクト膜(39)が形成されている。本発明では、抵抗線(41)は、複数のスリット(42)を設けることで、複数の細線とされ、抵抗が高められている。抵抗線(41)は単線としても良い。抵抗値は、設計段階で総線幅を変えることによって調整することができる。

【0017】この構成で、ダミー端子(72)に生じた大きな静電気は、抵抗線(41)にて、ジュール熱として発熱されて減衰され、入力端子(70)及び引き回し配線(75)を介して保護回路(80)にて吸収消去される。従って、保護回路(80)の静電破壊が防がれる。また、抵抗線(41)は、TFTのゲート電極(11)と同一工程で形成されるので、図9に示すように、ボトムゲート構造においては、TFT基板(1)の早い段階で形成される。このため、製造の全工程において、静電破壊の発生を防ぐことができる。

【0018】図3は、入力端子(70)、ダミー端子(72)及び抵抗部(90)の他の構造図である。図3(a)は平面図、図3(b)はそのB-B線に沿った断面図で、左側が入力端子(70)、右側がダミー端子(72)、中央が抵抗部(90)である。抵抗部(90)となる抵抗線(46)が入力端(36)と一体でAlにより形成されている。抵抗線(46)は、図2の構造と同様に、スリット(47)により細線とされており、抵抗値を調整することが可能である。AlはCrよりも抵抗値が低いので、図2の構造よりも小さいレベルで抵抗値の調整をすることができる。

【0019】図4は、入力端子(70)、ダミー端子(72)及び抵抗部(90)の更に他の構造図である。図4(a)は平面図、図4(b)はそのC-C線に沿った断面図で、左側が入力端子(70)、右側がダミー端子(72)、中央が抵抗部(90)である。抵抗部(90)となる抵抗線(49)が入力端コンタクト膜(39)と一体でITOにより形成されている。抵抗線(49)は、図2及び図3の構造と同様に、スリット(50)により細線とされているが、ITOは、CrやAlよりも抵抗が高いので、図2及び図3の構造よりも大き

い抵抗値の調整ができる。

【0020】図5は、入力端子(70)、ダミー端子(72)及び抵抗部(90)の構造図である。図5(a)は平面図、図5(b)はそのD-D線に沿った断面図で、左側が入力端子(70)、右側がダミー端子(72)、中央が抵抗部(90)である。入力端子(70)、ダミー端子(72)のいずれも台座膜(31)と入力端(36)の間に、TFTのp-Si(13)と同じp-Si(33)が介在され、このp-Si(33)と一体でp-Siからなる抵抗線(43)が形成され、抵抗部(90)となっている。抵抗線(43)は、図2、図3及び図4と同様、スリットを設けて、複数の細線としても良い。この構成で、ダミー端子(72)に生じた大きな静電気は、抵抗線(43)にて放熱されて減衰され、入力端子(70)及び引き回し配線(75)を介して保護回路(80)にて吸収消去される。特に、この構成では、更に大きな静電気が発生した場合は、p-Siからなる抵抗線(43)がジュール熱により断線し、保護回路(80)が静電破壊から防がれる。即ち、保護回路(80)の耐性を越える静電気が生じても、抵抗部(90)が断線することで、保護回路(80)が守られる。

【0021】図6に、本発明の第2の実施の形態にかかるLCDの入力端部の等価回路を示す。ダミー端子(72)が、抵抗部(91)を介して保護回路(80)に接続されている。ダミー端子(72)の構造は、図2から図5に示す構造と同じである。また、抵抗部(91)は、図2から図5に示す抵抗線(41, 43, 46, 49)のいずれも適用可能である。この構成で、ダミー端子(72)に生じた大きな静電気は、抵抗部(91)にて放熱されて減衰され、保護回路(80)にて吸収消去される。このため、大きな静電気が直接に保護回路(80)に入ることが防がれ、保護回路(80)が静電破壊から守られる。また、更に大きな静電気が生じた場合は、抵抗部(91)が断線し、保護回路(80)に静電気が入ることが防がれる。

【0022】図7に、本発明の第3の実施の形態にかかるLCDの入力端部の等価回路を示す。ダミー端子(72)が、複数、例えば、第1及び第2の抵抗部(92, 93)を介して保護回路(80)に接続されている。特に、これらの抵抗部(92, 93)のうち、第1の抵抗部(92)は第2の抵抗部(93)よりも抵抗値が小さくされている。抵抗部(92, 93)は、図2から図5に示す抵抗部(90)と同じ構造が可能で、抵抗値を調整することができる。この構成で、ダミー端子(72)に大きな静電気が生じた場合、第1の抵抗部(92)から第2の抵抗部(93)を経る間に、静電気が減衰され、保護回路(80)にて吸収消去される。更に大きな静電気が生じた場合、抵抗の低い第1の抵抗部(92)がジュール熱により断線する。従って、保護回路(80)

0)、更には、ドライバー部(4, 5, 6)及び表示要素部(3)が静電破壊から守られる。また、断線の後、ダミー端子(72)はアイランド状に残るので、静電気により帯電した状態になることがある。この状態では、ダミー端子(72)からの放電により付近の素子が劣化する恐れがある。このため、本発明では、特に、二つまたはそれ以上の抵抗部のうち、ダミー端子(72)に近い第1の抵抗部(92)の抵抗値を最も小さくしている。これにより、第1の抵抗部(92)が静電気により最も断線しやすくなる。従って、ダミー端子(72)と一体でアイランド状になる領域が最も小さいものとなるので、ダミー端子(72)の帯電量が小さくなり、その結果、ダミー端子(72)からの放電が小さくされて、付近の素子が静電破壊から守られる。

【0023】この構成においては、第1の抵抗部(92)としては、図5に示すようにp-Si(33)を用いることが最適である。p-Siは、大きな電流によりジュール熱が発生すると熱溶解しやすく、保護回路(80)の耐性を越えるような静電気が入った時は、この第1の抵抗部(92)が断線することで、静電気が保護回路(80)に入ることを防ぐことができる。また、第2の抵抗部(93)にもp-Si(33)を用いることもできる。この場合、第1の抵抗部(92)のp-SiをTFTのソース及びドレイン領域(S, D)と同じ低抵抗膜に、第2の抵抗部(93)のp-SiをTFTのLDD領域(LD)と同じ高抵抗膜とすることで、イオンドーピング工程を共通とすることができ、工程を増やす必要が無くされる。

【0024】なお、本発明では、以上の構成に限定されることはない。ダミー端子(72)を、隣接する入力端子(70)や、保護回路(80)に接続する以外に、他の電源線や信号線に、本発明の抵抗部を介して接続し、これを静電気吸収線とすることも可能である。

【0025】

【発明の効果】以上の説明から明らかな如く、本発明で、半導体装置の静電気対策が実現されたので、半導体素子の静電破壊が防がれ、歩留まりを向上することができた。

【図面の簡単な説明】

【図1】本発明の第1の実施の形態にかかるLCDの入力端部の等価回路図である。

【図2】本発明の実施の形態にかかる入力端部の構造図である。

【図3】本発明の実施の形態にかかる入力端部の構造図である。

【図4】本発明の実施の形態にかかる入力端部の構造図である。

【図5】本発明の実施の形態にかかる入力端部の構造図である。

【図6】本発明の第2の実施の形態にかかるLCDの入

力端部の等価回路図である。

【図 7】本発明の第 3 の実施の形態にかかる LCD の入力端部の等価回路図である。

【図 8】LCD の平面図である。

【図 9】LCD の各部の断面図である。

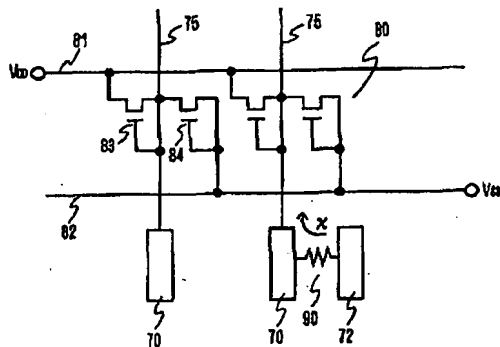
【図 10】LCD の入力端部の等価回路図である。

【符号の説明】

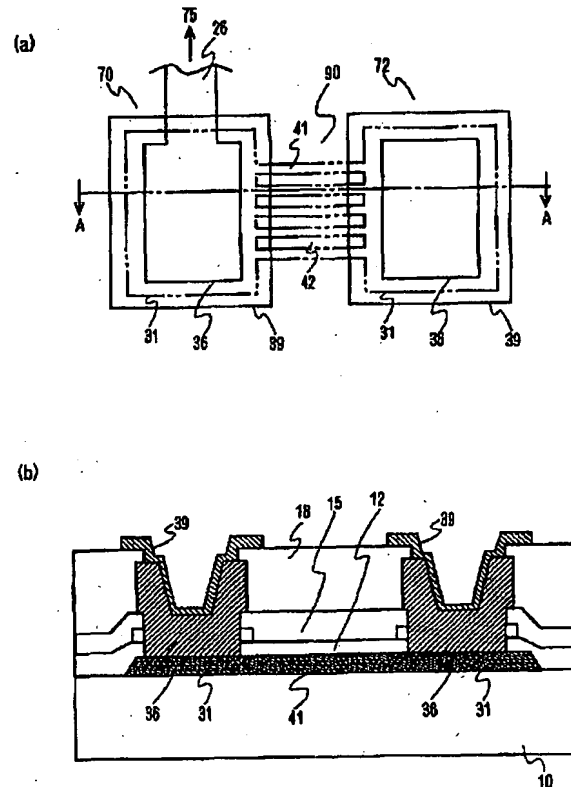
- 1 TFT 基板
- 2 対向基板
- 3 表示画素
- 4 ゲートドライバー
- 5 ドレインドライバー
- 6 プリチャージドライバー
- 10 基板
- 11 ゲート電極
- 12 ゲート絶縁膜
- 13 p-Si
- 16 ソース電極
- 17 ドレイン電極

- 18 平坦化絶縁膜
- 19 表示電極
- 21, 31 台座膜
- 26 引き回し線
- 36 入力端
- 39 入力端コンタクト膜
- 70 入力端子
- 71 電源端子
- 72 ダミー端子
- 10 75 引き回し配線
- 80 保護回路
- 81, 82 電源線
- 83, 84 トランジスタ
- 101 ゲートライン
- 102 ドレインライン
- 103 スイッチ素子
- 104 表示電極
- 110 共通電極

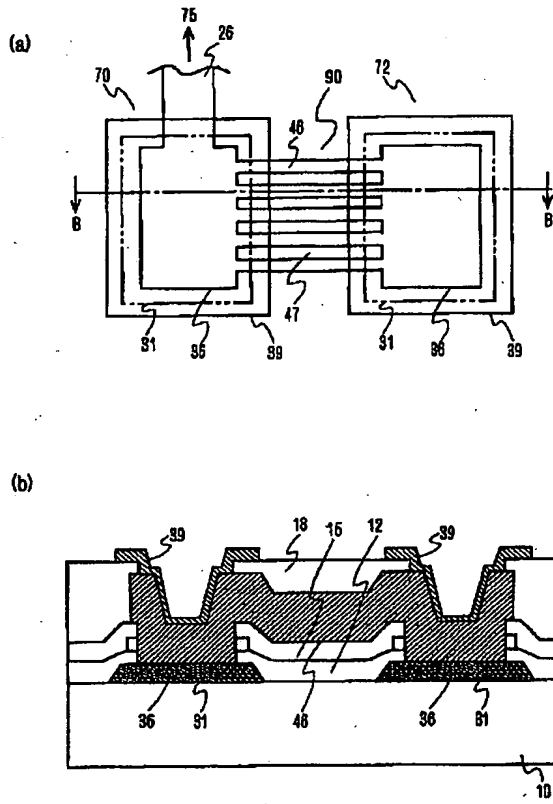
【図 1】



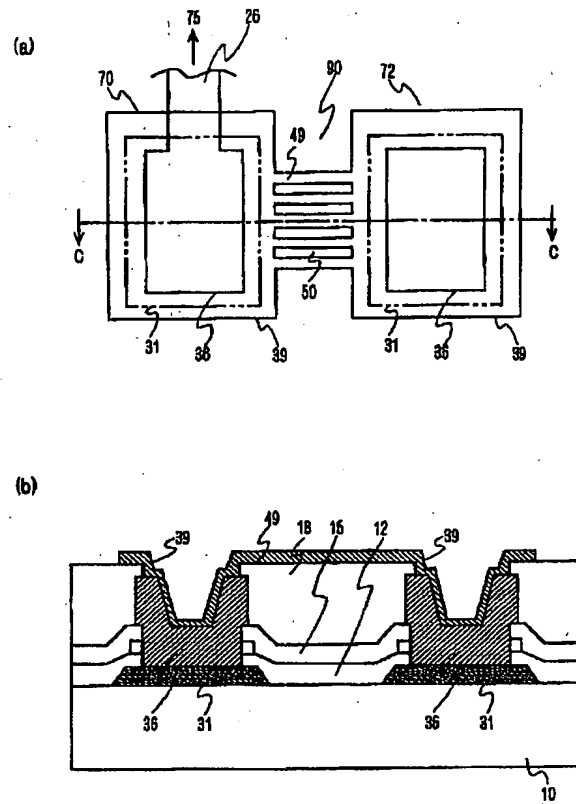
【図 2】



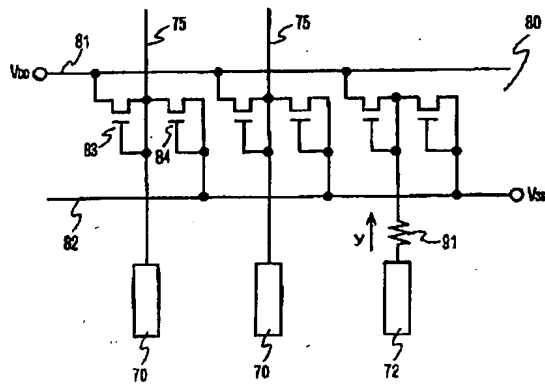
【図3】



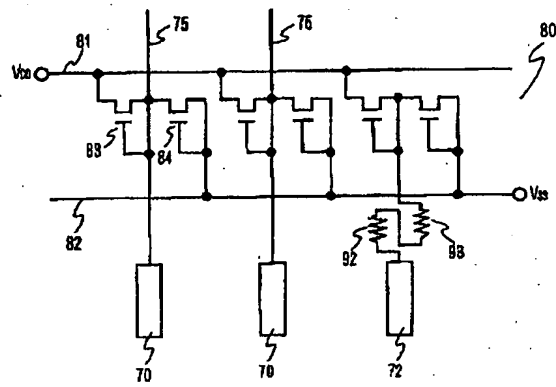
【図4】



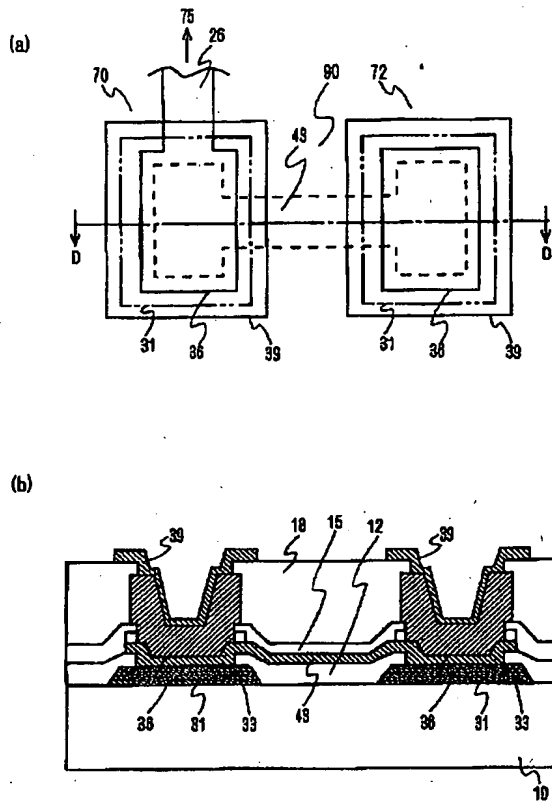
【図6】



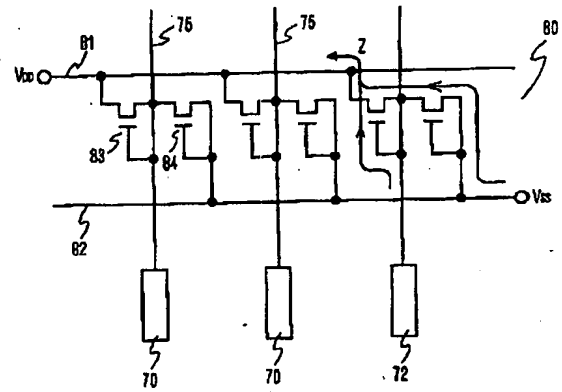
【図7】



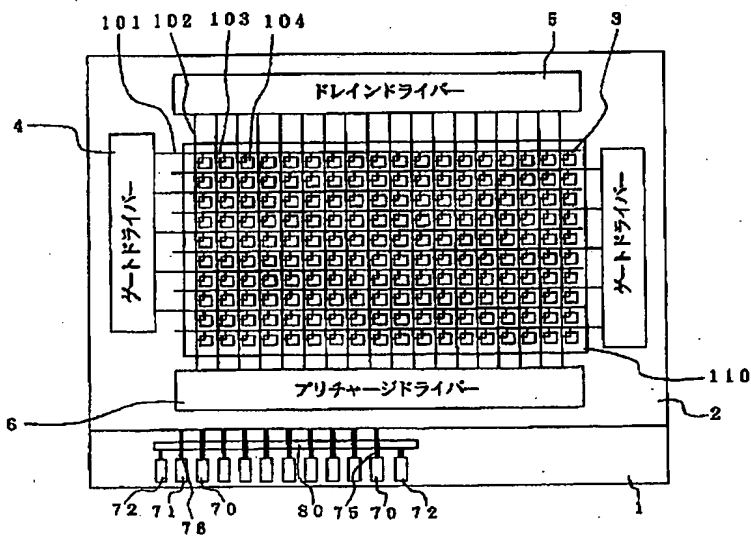
【図5】



【図10】



【図8】



【図9】

